

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86438

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792

H 0 1 L 29/ 78

3 7 1

7210-4M

27/ 10

4 3 4

審査請求 未請求 請求項の数5 O L (全 13 頁) 最終頁に続く

(21) 出願番号

特願平5-224498

(22) 出願日

平成5年(1993)9月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石川 清志

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究

所内

(72) 発明者 榊原 清彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究

所内

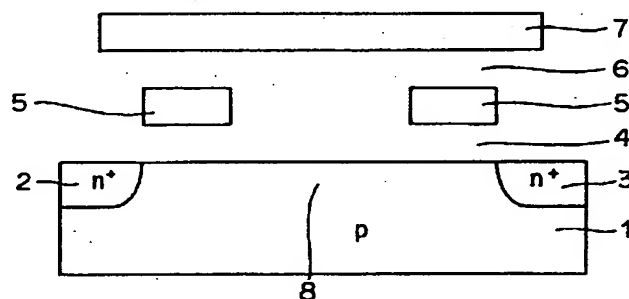
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 電荷蓄積電極への電子の注入効率および電荷蓄積電極からの電子の引抜き効率を高めて書込特性および消去特性を向上させることが可能な半導体記憶装置を提供する。

【構成】 p型シリコン基板1とフローティングゲート7との間にコントロールゲート5を介在させるように構成する。



1: p型シリコン基板 2: ドレイン領域
3: ソース領域 5: コントロールゲート
7: フローティングゲート

1

【特許請求の範囲】

【請求項1】 電気的に情報の書込および消去が可能な半導体記憶装置であって、

主表面を有する第1導電型の半導体基板と、

前記半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の1対の不純物領域と、

前記チャネル領域上に第1の絶縁膜を介して形成された制御電極と、

前記制御電極上に第2の絶縁膜を介して形成された電荷蓄積電極とを備えた、半導体記憶装置。

【請求項2】 前記制御電極は、2以上に分岐して形成されている、請求項1に記載の半導体記憶装置。

【請求項3】 前記制御電極は、電子が通過できる程度の厚みで形成されている、請求項1に記載の半導体記憶装置。

【請求項4】 電気的に情報の書込および消去が可能な半導体記憶装置であって、

主表面を有する第1導電型の半導体基板と、

前記半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の1対の不純物領域と、

前記チャネル領域上に第1の絶縁膜を介して形成された電荷蓄積電極と、

前記電荷蓄積電極上に第2の絶縁膜を介して形成された制御電極とを備え、

前記電荷蓄積電極は2以上に分岐して形成されている、半導体記憶装置。

【請求項5】 電気的に情報の書込および消去が可能な半導体記憶装置であって、

主表面を有する第1導電型の半導体基板と、

前記半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の第1および第2の不純物領域と、

前記チャネル領域上に第1の絶縁膜を介して形成された電荷蓄積電極と、

前記電荷蓄積電極上に第2の絶縁膜を介して形成された制御電極とを備え、

前記電荷蓄積電極は、前記第1の不純物領域側と前記第2の不純物領域側とでその不純物濃度が異なる、半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体記憶装置に関し、特に、電気的に情報の書込および消去が可能な半導体記憶装置に関する。

【0002】

【従来の技術】 従来、半導体記憶装置の1つとして、電気的に情報の書込および消去が可能なEEPROM (Electrically Erasable and

2

Programmable Read Only Memory) が知られている。これらは、たとえばVLSIテクノロジー入門 (平凡社、図1-35, p39) などに開示されている。図24は、そのような開示された従来のEEPROMを示した断面構造図である。

【0003】 図24を参照して、従来のEEPROMでは、p型シリコン基板251の主表面上の所定領域にチャネル領域258を挟むように所定の間隔を隔ててドレイン領域252とソース領域253とが形成されている。チャネル領域258上およびソース領域253上には酸化膜254を介して不純物がドーピングされたポリシリコンからなるフローティングゲート255が形成されている。フローティングゲート255上には酸化膜256を介して不純物がドーピングされたポリシリコンからなるコントロールゲート257が形成されている。コントロールゲート257およびフローティングゲート255を覆うように酸化膜259が形成されている。

【0004】 図25は、従来のEEPROMの書込動作の一例を説明するための模式図であり、図26は書込動作の他の例を説明するための模式図である。また図27は従来のEEPROMの消去動作を説明するための模式図である。図25～図27を参照して、次に従来のEEPROMの動作について説明する。

【0005】 まず、図25を参照して、従来の書込動作の一例について説明する。この例では、コントロールゲートにたとえば+20Vの正電圧、ドレイン領域252にたとえば+10Vの正電圧、ソース領域253に0Vの電圧をそれぞれ印加する。これにより、メモリトランジスタをオンさせてチャネル領域258を流れる高エネルギー電子がドレイン領域252近傍からフローティングゲート255に注入される。

【0006】 次に、図26を参照して、書込動作の他の例について説明する。この他の例では、コントロールゲート257にたとえば+20Vの正電圧、ドレイン領域252に-10Vの負電圧、ソース領域253に0Vの電圧をそれぞれ印加する。この例ではメモリトランジスタをオンさせずにフローティングゲート255とドレイン領域252との間の高電界によるFNTトンネル電流を利用してフローティングゲート255に電子を注入する。

【0007】 次に、図27を参照して、従来のEEPROMの消去動作について説明する。消去動作においては、コントロールゲート257に-10Vの負電圧、ドレイン領域252に0Vの電圧、ソース領域253に+10Vの正電圧をそれぞれ印加する。これにより、フローティングゲート255とソース領域253との間にFNTトンネル電流を流させ、フローティングゲート255からドレイン領域253に向かって電子を引抜く。

【0008】 なお、読出動作としては、コントロールゲート257にたとえば5Vの電圧を印加してメモリトラ

50

3

ンジスタがオンするか否かによって0または1に対応するデータが読出される。すなわち、フローティングゲート255に電子が蓄積されている状態(書込状態)か否かによってコントロールゲート257に5Vを印加した場合にメモリトランジスタがオンするかオフのままであるかが異なる。これを利用してデータの読出が行なわれる。

【0009】

【発明が解決しようとする課題】従来のEEPROMでは、図24～図27に示したように、フローティングゲート255の上方に設けられたコントロールゲート257に正または負の高電圧を印加することによってフローティングゲート255とドレイン領域252またはソース領域253との間に高電界を発生させて書込または消去動作を行っていた。

【0010】つまり、コントロールゲート257に正または負の高電圧を印加することによって間接的にフローティングゲート255の電位を制御する。そして、フローティングゲート255とドレイン領域252またはソース領域253との電位差によって高電界を発生させて書込または消去動作を行なう。ところが、この場合に、フローティングゲート255の電位はコントロールゲート257の電位の約半分程度に低下するため、コントロールゲート257に高電圧を印加したとしてもフローティングゲート255を高い電位にするのは困難であった。この結果、フローティングゲート255とドレイン領域252またはソース領域253との間の電位差を有効に高めることが困難であった。

【0011】このため、従来では、フローティングゲート255とドレイン領域252またはソース領域253との間の電界をより高めるのは困難であった。この結果、従来では、書込特性(フローティングゲート255への電子の注入効率)および消去特性(フローティングゲート255からの電子の引抜き効率)を向上させることが困難であった。

【0012】この発明は、上記のような課題を解決するためになされたもので、請求項1～5に記載の発明の目的は、半導体記憶装置において、書込特性および消去特性を向上させることである。

【0013】

【課題を解決するための手段】請求項1～3における半導体記憶装置は、電気的に情報の書込および消去が可能な半導体記憶装置であって、主表面を有する第1導電型の半導体基板と、その半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の1対の不純物領域と、チャネル領域上に第1の絶縁膜を介して形成された制御電極と、その制御電極上に第2の絶縁膜を介して形成された電荷蓄積電極とを備えている。なお、好ましくは、上記した制御電極を2以上に分岐して形成するのがよい。さらに、上記した制御電

4

極を電子が通過できる程度の厚みで形成してもよい。

【0014】請求項4における半導体記憶装置は、電気的に情報の書込および消去が可能な半導体記憶装置であって、主表面を有する第1導電型の半導体基板と、その半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の1対の不純物領域と、チャネル領域上に第1の絶縁膜を介して形成された電荷蓄積電極と、その電荷蓄積電極上に第2の絶縁膜を介して形成された制御電極とを備えている。そして、その電荷蓄積電極は2以上に分岐して形成されている。

【0015】請求項5における半導体記憶装置は、電気的に情報の書込および消去が可能な半導体記憶装置であって、主表面を有する第1導電型の半導体基板と、その半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の第1および第2の不純物領域と、チャネル領域上に第1の絶縁膜を介して形成された電荷蓄積電極と、電荷蓄積電極上に第2の絶縁膜を介して形成された制御電極とを備えている。そして、電荷蓄積電極は第1の不純物領域側と第2の不純物領域側とでその不純物濃度が異なる。

【0016】

【作用】請求項1～3に係る半導体記憶装置では、チャネル領域上に第1の絶縁膜を介して制御電極が形成され、その制御電極上に第2の絶縁膜を介して電荷蓄積電極が形成されているので、電荷蓄積電極と不純物領域との間に高電圧が印加される制御電極が介在する構成となり、電荷蓄積電極と不純物領域との間の電界が従来に比べて高められる。これにより、従来に比べて電荷蓄積電極への電子の注入効率および電荷蓄積電極からの電子の引抜き効率が向上される。なお、上記制御電極を2以上に分岐するように形成すれば、電荷蓄積電極と不純物領域との間の電子の流れがより円滑になり、電子の注入効率および引抜き効率がより高められる。また、上記した制御電極を電子が通過できる程度の厚みで形成することによっても、電荷蓄積電極と不純物領域との間の電子の流れが円滑になり、電子の注入効率および引抜き効率が高められる。

【0017】請求項4に係る半導体記憶装置では、チャネル領域上に第1の絶縁膜を介して電荷蓄積電極が形成され、その電荷蓄積電極上に第2の絶縁膜を介して制御電極が形成され、さらに上記した電荷蓄積電極が2以上に分岐して形成されているので、その分岐している隙間の部分をドレイン領域に相当する一方の不純物領域の端部の上方に位置するように形成すれば、電子の注入時に一度酸化膜に注入された電子がドレイン領域に引き戻れるのが有効に防止される。これにより、従来に比べて電子の注入効率(書込特性)が向上される。

【0018】請求項5に係る半導体記憶装置では、チャネル領域上に第1の絶縁膜を介して電荷蓄積電極が形成され、その電荷蓄積電極上に第2の絶縁膜を介して制御

5

電極が形成され、さらに上記した電荷蓄積電極がその第1の不純物領域側と第2の不純物領域側とで不純物濃度が異なるように形成されているので、その異なる不純物濃度の境界面において接触電位差による電位差が生じる。これにより、電荷蓄積電極のうちの第1の不純物領域側（ドレイン領域側）の電位が第2の不純物領域側（ソース領域側）の電位よりも容易に高電位に設定される。この結果、電荷蓄積電極の全体が等電位の場合に比べて第1の不純物領域（ドレイン領域）からの電子の注入がより容易になるとともに、第2の不純物領域（ソース領域）への電子の引抜きもより容易になる。これにより、電子の注入効率および引抜き効率が従来に比べて向上される。

【0019】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0020】図1は本発明の第1実施例によるEEPROMを示した断面図であり、図2は図1に示したEEPROMのフローティングゲートとコントロールゲートとの重なり状態を示した平面図である。図1および図2を参照して、この第1実施例のEEPROMでは、p型シリコン基板1の主表面上の所定領域にチャネル領域8を挟むように所定の間隔を隔ててドレイン領域2およびソース領域3が形成されている。チャネル領域8上の所定領域には酸化膜4を介在して2又に分岐されたコントロールゲート5が形成されている。コントロールゲート5上には酸化膜6を介して電子を蓄積するためのフローティングゲート7が形成されている。

【0021】酸化膜4は100Å程度の厚みで形成されている。コントロールゲート5は不純物がドーブされたポリシリコンからなり、その厚みは100Å程度である。酸化膜6は100Å程度の厚みで形成されている。フローティングゲート7は、不純物がドーブされたポリシリコンからなり、その厚みは1000Å程度である。

【0022】ここで、この第1実施例では、図24～図27に示した従来のEEPROMと異なり、フローティングゲート7とドレイン領域2およびソース領域3との間に介在するようにコントロールゲート5を形成している。これにより、たとえば書込動作の際にコントロールゲート5に従来と同様の高電圧（+20V）を印加した場合にコントロールゲート5とドレイン領域2との間の電界が従来に比べて強められ、結果としてフローティングゲート7とドレイン領域2との間の電界も強められる。これにより、従来に比べてドレイン領域2からフローティングゲート7への電子の注入が容易となり、書込特性を向上させることができる。

【0023】また、消去時には、ソース領域3に+20V、コントロールゲート5に+10Vの電圧をそれぞれ印加することによって、フローティングゲート7内に蓄積された電子はコントロールゲート5およびソース領域

6

3の両方の電界に引っ張られる。これにより、従来に比べてフローティングゲート7からソース領域3への電子の引抜き効率が向上される。この結果、消去特性を向上させることができる。

【0024】なお、この第1実施例では、コントロールゲート5を2又に形成しているので、フローティングゲート7への電子の注入およびフローティングゲート7からの電子の引抜きの際にコントロールゲート5が電子の流れを妨げるのを有効に防止することができる。これにより、効率のよい電子の注入および引抜きを行なうことができる。

【0025】また、この第1実施例の構造は、従来のEEPROMの構造においてコントロールゲート5とフローティングゲート7の上下関係を逆にしてコントロールゲート5の形状を少し変化させただけである。したがって、従来と同様の製造技術を用いてマスクを少し変化させることにより容易に製造することができる。

【0026】図3は本発明の第2実施例によるEEPROMを示した断面図である。図3を参照して、この第2実施例では、第1実施例と異なりコントロールゲート15を3又に形成している。このように構成しても図1に示した第1実施例と同様の効果を得ることができる。すなわち、書込および消去時に3又に分岐したコントロールゲート15に所定の電圧を印加することによって、フローティングゲート7とドレイン領域2またはソース領域3との間の電界が従来に比べて強められ、フローティングゲート7への電子の注入およびフローティングゲート7からの電子の引抜き効率を向上させることができる。これにより、書込および消去特性を向上させることができる。

【0027】図4は本発明の第3実施例によるEEPROMを示した断面図である。図4を参照して、この第3実施例は、図1に示した第1実施例と同様にコントロールゲート25が2又に分岐して形成されている。ただし、この第3実施例では、第1実施例と異なり、コントロールゲート25の端部の位置がフローティングゲート7の端部の位置と揃うように形成されている。このように構成することによっても、図1に示した第1実施例と同様の効果を得ることができる。

【0028】図5は、本発明の第4実施例によるEEPROMを示した断面図である。図5を参照して、この第4実施例では、図3に示した第2実施例と同様に、コントロールゲート35が3又に分岐して形成されている。ただし、この第4実施例では、第2実施例と異なり、外側のコントロールゲート35の端部の位置がフローティングゲート7の端部の位置に揃うように形成されている。このように構成することによっても、第2実施例のEEPROMと同様の効果を得ることができる。

【0029】図6は、本発明の第5実施例によるEEPROMを示した断面図である。図6を参照して、この第

7

5実施例では、第1および第3実施例と同様にコントロールゲート45が2又に分岐して形成されている。ただし、この第5実施例では、一方のコントロールゲート45の外側の端部がフローティングゲート7の端部よりもはみ出して形成されている。このように構成することによっても、第1実施例および第3実施例のEEPROMと同様に書込効率および消去効率を向上させることができる。

【0030】図7は、本発明の第6実施例によるEEPROMを示した断面図である。図7を参照して、この第6実施例では、2又に分岐したコントロールゲート55の両方の外側の端部がフローティングゲート7の端部よりもはみ出して形成されている。このように形成することによっても、第1実施例、第3実施例、第5実施例のEEPROMと同様の効果を得ることができる。

【0031】図8は、本発明の第7実施例によるEEPROMを示した断面図である。図8を参照して、この第7実施例では、図3に示した第2実施例と同様に、コントロールゲート65が3又に分岐して形成されている。ただし、この第7実施例では、第2実施例と異なり、3又に分岐したコントロールゲート65のうちの1本の外側の端部がフローティングゲート7の端部よりもはみ出すように形成されている。このように構成することによっても、第2実施例および第4実施例と同様に、書込効率および消去効率を向上させることができる。

【0032】図9は、本発明の第8実施例によるEEPROMを示した断面図である。図9を参照して、この第8実施例では、3又に分岐したコントロールゲート75のうち両端部に位置するコントロールゲート75の外側の端部がフローティングゲート7の端部よりもはみ出すように形成されている。このように形成することによっても、第2実施例、第4実施例、第7実施例と同様の効果を得ることができる。

【0033】図10は、本発明の第9実施例のEEPROMを示した断面図である。図10を参照して、この第9実施例では、p型シリコン基板101の主表面上の所定領域にチャンネル領域108を挟むように所定の間隔を隔ててドレイン領域102およびソース領域103が形成されている。チャンネル領域108上には酸化膜104を介してITOからなり50Å程度の厚みを有するコントロールゲート105が形成されている。コントロールゲート105上には酸化膜106を介して不純物がドーブされたポリシリコンからなり1000Å程度の厚みを有するフローティングゲート107が形成されている。なお、酸化膜104および106はともに100Å程度の厚みで形成されている。

【0034】この第9実施例では、コントロールゲート105を薄膜で形成することによって、フローティングゲート107への電子の注入またはフローティングゲート107から電子を引抜く際に酸化膜104および10

8

6を流れる電子がコントロールゲート105を容易に通過できるようにしている。これに同時に、この第9実施例においても、上記した第1～第8実施例と同様に、p型シリコン基板101とフローティングゲート107との間にコントロールゲート105が介在するように形成されているので、たとえば書込動作の際にコントロールゲート105に従来と同様の高電圧(+20V)を印加した場合にコントロールゲート105とドレイン領域102との間の電界が強められ、結果としてフローティングゲート107とドレイン領域102との間の電界も強められる。これにより、従来に比べてフローティングゲート107に電子が注入されやすくなり、書込効率を向上させることができる。

【0035】また、消去動作においても、コントロールゲート105に+10V、ソース領域103に+20Vの電圧を印加することによって、フローティングゲート107に蓄積された電子はコントロールゲート105およびソース領域103の両方からの電界に引っ張られる。この結果、従来に比べてフローティングゲート107内の電子が引抜かれやすくなり、消去効率を向上させることができる。

【0036】図11は、本発明の第10実施例によるEEPROMを示した断面図である。図11を参照して、この第10実施例では、p型シリコン基板111の主表面上にチャンネル領域118を挟むように所定の間隔を隔ててドレイン領域112およびソース領域113が形成されている。チャンネル領域118およびドレイン領域112上には酸化膜114を介して2又に分岐したフローティングゲート115が形成されている。分岐した2本のフローティングゲート115の間の部分はドレイン領域112の側端部の上方に位置するように形成されている。フローティングゲート115上には酸化膜116を介してコントロールゲート117が形成されている。

【0037】酸化膜114および116はともに100Å程度の厚みで形成されている。フローティングゲート115およびコントロールゲート117はともに不純物がドーブされたポリシリコンからなり1000Å程度の厚みで形成されている。

【0038】ここで、この第10実施例では、フローティングゲート115を2又に分岐させ、かつその分岐した2本のコントロールゲート115の間の部分をドレイン領域112の側端部の上方に位置するように形成することによって、書込効率を向上させることができる。すなわち、図25に示した従来のEEPROMでは、フローティングゲート255への電子の注入時に注入が進むとフローティングゲート255の電位が低下する。フローティングゲート255の電位が低下すると一度酸化膜254に注入された電子の一部がドレイン領域252の電位によって引き戻されるという不都合が生じていた。

【0039】図11に示した第10実施例では、上記の

9

ような不都合を防止するために、フローティングゲート115を2又に分岐するとともにその分岐部分をドレイン領域112の側端部の上方に位置するように配置する。これにより、フローティングゲート115の左側の部分が電子の注入時にドレイン領域112に戻ろうとする電子流を右側のフローティングゲート115に押し戻す役割を果たす。この結果、フローティングゲート115への電子の注入を効率よく行なうことができる。これにより、書込効率を向上させることができる。

【0040】図12は、本発明の第11実施例によるE EPROMを示した断面図である。図12を参照して、この第11実施例では、上記した第10実施例と同様に、フローティングゲート125を2又に分岐するとともにその分岐部分をドレイン領域112の側端部の上方に位置するように配置する。ただし、この第11実施例では、上記した第10実施例と異なり、コントロールゲート127のp型半導体基板111の主表面に沿った方向の長さを右側のフローティングゲート125の対応する長さよりも短くなるように構成している。このように構成することによっても、上記した第10実施例と同様に、書込効率を向上させることができる。

【0041】図13は、本発明の第12実施例によるE EPROMを示した断面図である。図13を参照して、この第12実施例では、上記した第10実施例および第11実施例と同様に、フローティングゲート135を2又に分岐するとともにその分岐部分をドレイン領域112の側端部の上方に位置するように形成している。ただし、この第12実施例では、上記した第10実施例および第11実施例と異なり、コントロールゲート137のp型シリコン基板111の主表面に沿った方向の長さを右側のフローティングゲート135の対応する長さよりも長くなるように形成している。このように構成することによっても、第10実施例および第11実施例と同様に、書込効率を向上させることができるという効果を奏する。

【0042】図14は、本発明の第13実施例によるE EPROMを示した断面図である。図14を参照して、この第13実施例においては、p型シリコン基板141の主表面上にチャネル領域148を挟むように所定の間隔を隔ててドレイン領域142およびソース領域143が形成されている。チャネル領域148上には酸化膜144を介してn+にドーブされたポリシリコンからなるフローティングゲート145aとn-にドーブされたポリシリコンからなるフローティングゲート145bが形成されている。

【0043】フローティングゲート145aおよび145b上には酸化膜147を介して不純物がドーブされたポリシリコンからなるコントロールゲート147が形成されている。酸化膜144および146の厚みはともに100Å程度である。また、フローティングゲート14

10

5a、145bおよびコントロールゲート147の厚みはそれぞれ1000Å程度である。

【0044】ここで、この第13実施例においては、フローティングゲートをn+の不純物濃度を有するフローティングゲート145aとn-の不純物濃度を有するフローティングゲート145bとによって形成する。これにより、フローティングゲート145aとフローティングゲート145bとの境界部分において接触電位差(built in potential)による電位差が発生する。この電位差によって、ドレイン領域142側のフローティングゲート145aの電位がソース領域143側のフローティングゲート145bの電位よりも高電位になるため、従来のフローティングゲート内がほぼ等電位の場合に比べて、ドレイン領域142からの電子の注入が容易になるとともに、ソース領域143への電子の引抜きも容易になる。この結果、書込特性および消去特性を向上させることができる。

【0045】図15は、本発明の第14実施例によるE EPROMを示した断面図である。図15を参照して、この第14実施例では、上記した第13実施例と同様に、フローティングゲートをn+にドーブされたポリシリコンからなるフローティングゲート155aとn-にドーブされたポリシリコンからなるフローティングゲート155bとによって形成している。ただし、この第14実施例においては、第13実施例と異なり、フローティングゲート155aのp型シリコン基板141の主表面に沿った方向の長さとフローティングゲート155bのp型シリコン基板141の主表面に沿った方向の長さがほぼ等しくなるように形成している。このように構成することによっても、上記した第13実施例と同様に書込効率および消去効率を向上させることができる。

【0046】図16は、本発明の第15実施例によるE EPROMを示した断面図である。図16を参照して、この第15実施例においては、第13および第14実施例と同様に、フローティングゲートをn+にドーブされたポリシリコンからなるフローティングゲート165aとn-にドーブされたポリシリコンからなるフローティングゲート165bとによって形成している。ただし、この第15実施例においては、第13および第14実施例と異なり、フローティングゲート165aのp型シリコン基板141の主表面に沿った方向の長さをフローティングゲート165bのp型シリコン基板141の主表面に沿った方向の長さよりも長くなるように形成している。このように構成しても、上記した第13実施例および第14実施例と同様に、書込効率および消去効率を向上させることができる。

【0047】図17は、本発明の第16実施例によるE EPROMを示した断面図である。図17を参照して、この第16実施例では、p型シリコン基板171の主表面上にチャネル領域178を挟むように所定の間隔を隔

ててドレイン領域172とソース領域173とが形成されている。チャネル領域178上には酸化膜174を介して2又に分岐されたコントロールゲート175が形成されている。コントロールゲート175上には酸化膜176を介してn+にドーブされたポリシリコンからなるフローティングゲート177aとn-にドーブされたポリシリコンからなる177bが形成されている。

【0048】すなわち、この第16実施例は、図1に示した第1実施例と図14に示した第13実施例とを組合わせたような構成を有している。つまり、フローティングゲート177aおよび177bとp型シリコン基板171との間に2又に分岐されたコントロールゲート175を介在させることによって、従来に比べてフローティングゲート177aおよび177bとドレイン領域172またはソース領域173との間の電界を強めることができ、書込効率および消去効率を向上させることができる。

【0049】さらに、フローティングゲートをn+にドーブされたポリシリコンからなるフローティングゲート177aとn-にドーブされたポリシリコンからなるフローティングゲート177bとで形成することによって、フローティングゲート177aと177bとの接触電位差による電位差により、ドレイン領域172側のフローティングゲート177aの電位をソース領域173側のフローティングゲート177bの電位よりも高くすることができる。これにより、ドレイン領域172からフローティングゲート177aへの電子の注入が容易になるとともに、フローティングゲート177bからソース領域173への電子の引抜きも容易になる。この結果、さらに電子の注入効率および電子の引抜き効率を向上させることができ、書込特性および消去特性を改善することができる。

【0050】図18は、本発明の第17実施例によるEEPROMを示した断面図である。図18を参照して、この第17実施例では、図1に示した第1実施例と同様に、p型シリコン基板171とフローティングゲート187との間に2又に分岐したコントロールゲート175を介在するように形成している。これにより、第1実施例と同様に書込効率および消去効率を向上させることができる。

【0051】さらに、この第17実施例においては、フローティングゲート187のコントロールゲート175側の表面187aを凹凸形状に形成している。この凹凸部の表面粗さは、直径約100Å程度である。この凹凸形状によって、電界集中が起こり、フローティングゲート187とドレイン領域172またはソース領域173との間の電界が強められる。これによりフローティングゲート187への電子の注入およびフローティングゲート187からの電子の引抜き効率を向上することができる。この結果、書込特性および消去特性を向上させるこ

とができる。

【0052】なお、フローティングゲート187の表面187aの凹凸形状の形成方法としては、フローティングゲート187の形成時にたとえば550℃の低温でアモルファスシリコンを形成する。そして、たとえば700℃程度の温度条件下で熱処理を行なうことによってアモルファスシリコンから粒径の大きなポリシリコンに変化させる。このようにすれば、フローティングゲート187の表面187aは大粒径のポリシリコンによって凹凸形状になる。

【0053】図19は、本発明の第18実施例によるEEPROMを示した断面図である。図19を参照して、この第18実施例では、上記した第17実施例と同様に、フローティングゲート197aおよび197bとp型シリコン基板171との間に2又に分岐したコントロールゲート175を介在させるとともに、フローティングゲート197a、197bの表面を凹凸形状にしている。ただし、この第18実施例においては、上記した第17実施例と異なり、さらにフローティングゲートをn+にドーブされたポリシリコンからなるフローティングゲート197aとn-にドーブされたポリシリコンからなるフローティングゲート197bとから形成している。

【0054】すなわち、この第18実施例は、上記した第16実施例と第17実施例とを組合わせた構造を有している。したがって、この第18実施例の効果としても、第16実施例と第17実施例の効果を組合わせた効果が得られ、書込効率および消去効率を著しく向上させることができる。

【0055】図20は、本発明の第19実施例によるEEPROMを示した断面図である。図20を参照して、この第19実施例では、p型シリコン基板201の主表面上にチャネル領域208を挟むように所定の間隔を隔ててドレイン領域202およびソース領域203が形成されている。チャネル領域208およびドレイン領域202上には酸化膜204を介して2又に分岐したフローティングゲート205が形成されている。フローティングゲート205の分岐した間の部分はドレイン領域202の側端部の上方に位置するように形成されている。さらに、フローティングゲート205の左側の部分はn+にドーブされたポリシリコンからなり、右側の部分はn-にドーブされたポリシリコンからなる。

【0056】フローティングゲート205上には酸化膜206を介してコントロールゲート207が形成されている。酸化膜204および206は100Å程度の厚みを有している。フローティングゲート205は1000Å程度の厚みを有している。コントロールゲート207は不純物がドーブされたポリシリコンからなり、1000Å程度の厚みを有している。

【0057】ここで、この第19実施例では、n+にド

13

ープされた左側のフローティングゲート205とn-にドープされた右側のフローティングゲート205との境界部分(図示せず)の接触電位差による電位差によって左側のフローティングゲート205を右側のフローティングゲート205よりも高電位にすることができる。これにより、左側のフローティングゲート205への電子の注入および右側のフローティングゲート205からの電子の引抜きをフローティングゲート全体が等電位の場合に比べてより容易に行なうことができる。これと同時にフローティングゲート205を2又に分岐することによって、図14に示した第13実施例に比べてn⁺とn⁻との反発を弱めることができ、左側のフローティングゲート205への電子の注入がより容易になる。この結果、書込特性および消去特性をより向上させることができる。

【0058】図21は、本発明の第20実施例によるEEPROMを示した断面図である。図21を参照して、この第20実施例では、上記した第19実施例と同様に、フローティングゲート215を2又に分岐して形成するとともに、左側のフローティングゲート215をn⁺にドープされたポリシリコンによって形成しかつ右側のフローティングゲート215をn⁻にドープされたポリシリコンによって形成する。

【0059】ただし、この第20実施例では、第19実施例と異なり、右側のフローティングゲート215の酸化膜204側の表面を凹凸形状に形成する。このようにこの第20実施例では、第19実施例の構造にさらに右側のフローティングゲート215の表面を凹凸形状にすることによって、酸化膜204に意図的に電界集中を起こさせることができる。これにより、上記した第19実施例に比べてより書込特性および消去特性を向上することができる。

【0060】図22は、本発明の第21実施例によるEEPROMを示した断面図である。図22を参照して、この第21実施例では、図21に示した第20実施例と異なり、左側のフローティングゲート225と右側のフローティングゲート225との不純物濃度を異ならせずに同じ不純物濃度になっている。このように構成しても、フローティングゲート225を2又に分岐しかつその分岐部分をドレイン領域202の側端部の上方に位置するように形成するとともに、右側のフローティングゲート225の表面を凹凸形状にすることによる書込特性および消去特性の改善を図ることができる。

【0061】図23は、本発明の第22実施例によるEEPROMを示した断面図である。図23を参照して、この第22実施例では、図21に示した第20実施例と異なりフローティングゲート235aおよび235bを2又に分岐せずに形成している。そして、左側のフローティングゲート235aの表面をも凹凸形状に形成している。このように構成することによって、フローティン

14

グゲート235aおよび235bの表面に電界集中を発生させることができ、フローティングゲート235aおよび235bとドレイン領域202またはソース領域203との間の電界をより強めることができる。また、左側のフローティングゲート235aをn⁺にドープされたポリシリコンによって形成し、右側のフローティングゲート235bをn⁻にドープされたポリシリコンによって形成することによりフローティングゲート235aと235bとの境界領域での接触電位差による電位差によって左側のフローティングゲート235aの電位を右側のフローティングゲート235bの電位よりも高めることができる。これにより、左側のフローティングゲート235aへの電子の注入をより容易に行なうことができるとともに右側のフローティングゲート235bからの電子の引抜きをもより容易に行なうことができる。この結果、電子の注入効率および引抜き効率を向上させることができ、結果として書込特性および消去特性を向上させることができる。

【0062】

【発明の効果】以上のように、請求項1~3に記載の半導体記憶装置によれば、チャネル領域上に第1の絶縁膜を介して制御電極を形成し、その制御電極上に第2の絶縁膜を介して電荷蓄積電極を形成することによって、電子の注入時および引抜き時にその制御電極と不純物領域との間の電界が従来に比べて強められ、結果として電荷蓄積電極と不純物領域との間の電界も強められる。これにより、従来に比べて電荷蓄積電極への電子の注入効率および電荷蓄積電極からの電子の引抜き効率を向上させることができ、その結果、書込特性および消去特性を向上させることができる。なお、上記した制御電極を2以上に分岐して形成すれば、電子の注入時および引抜き時に電荷蓄積電極と不純物領域との間の電子の流れが制御電極に妨げられるのが有効に防止される。これにより、電子の注入効率および引抜き効率をより向上させることができる。また、上記した制御電極を電子が通過できる程度の厚みで形成することによっても、電子の注入および引抜き時の電荷蓄積電極と不純物領域との間の電子の流れが妨げられるのを有効に防止することができる。これにより、書込特性および消去特性を向上させることができる。

【0063】請求項4に記載の半導体記憶装置によれば、チャネル領域上に第1の絶縁膜を介して電荷蓄積電極を形成し、その電荷蓄積電極上に第2の絶縁膜を介して制御電極を形成し、さらに上記した電荷蓄積電極を2以上に分岐して形成することによって、その分岐部分を一方の不純物領域(ドレイン領域)の側端部の上方に位置するように形成すれば、ドレイン領域側の分岐した電荷蓄積電極によって電子の注入時に第1の絶縁膜に注入された電子が電荷蓄積電極の電位の低下に伴ってドレイン領域に引き戻されるのを有効に防止することができ

15

る。これにより、電子の注入効率を向上させることができ、書込特性を向上させることができる。請求項5に記載の半導体記憶装置によれば、電荷蓄積電極を第1の不純物領域と第2の不純物領域とでその不純物濃度が異なるように形成することによって、その異なる不純物濃度の境界部分において接触電位差による電位差が生じ、第1の不純物領域側（ドレイン領域側）の電荷蓄積電極の電位を第2の不純物領域側（ソース領域側）の電荷蓄積電極の電位よりも高くすることができる。これにより、ドレイン領域から電荷蓄積電極への電子の注入が容易になるとともに、電荷蓄積電極からソース領域への電子の引抜きも容易になる。この結果、電子の注入効率および引抜き効率を向上させることができ、書込特性および消去特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例によるEEPROMを示した断面図である。

【図2】図1に示したEEPROMのフローティングゲートとコントロールゲートの重なり状態を示した平面図である。

【図3】本発明の第2実施例によるEEPROMを示した断面図である。

【図4】本発明の第3実施例によるEEPROMを示した断面図である。

【図5】本発明の第4実施例によるEEPROMを示した断面図である。

【図6】本発明の第5実施例によるEEPROMを示した断面図である。

【図7】本発明の第6実施例によるEEPROMを示した断面図である。

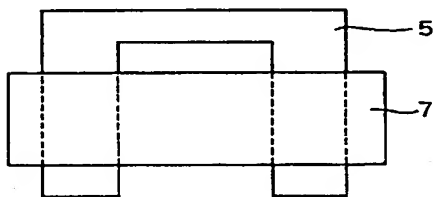
【図8】本発明の第7実施例によるEEPROMを示した断面図である。

【図9】本発明の第8実施例によるEEPROMを示した断面図である。

【図10】本発明の第9実施例によるEEPROMを示した断面図である。

【図11】本発明の第10実施例によるEEPROMを示した断面図である。

【図2】



16

* 【図12】本発明の第11実施例によるEEPROMを示した断面図である。

【図13】本発明の第12実施例によるEEPROMを示した断面図である。

【図14】本発明の第13実施例によるEEPROMを示した断面図である。

【図15】本発明の第14実施例によるEEPROMを示した断面図である。

10 【図16】本発明の第15実施例によるEEPROMを示した断面図である。

【図17】本発明の第16実施例によるEEPROMを示した断面図である。

【図18】本発明の第17実施例によるEEPROMを示した断面図である。

【図19】本発明の第18実施例によるEEPROMを示した断面図である。

【図20】本発明の第19実施例によるEEPROMを示した断面図である。

20 【図21】本発明の第20実施例によるEEPROMを示した断面図である。

【図22】本発明の第21実施例によるEEPROMを示した断面図である。

【図23】本発明の第22実施例によるEEPROMを示した断面図である。

【図24】従来のEEPROMを示した断面図である。

【図25】従来のEEPROMの書込動作の一例を説明するための模式図である。

【図26】従来のEEPROMの書込動作の他の例を説明するための模式図である。

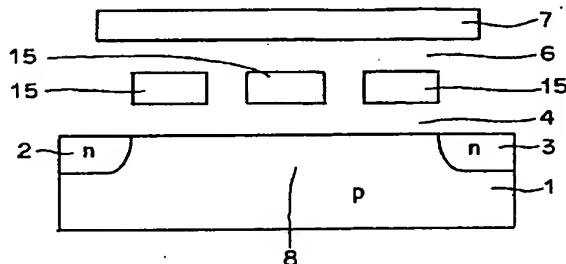
30 【図27】従来のEEPROMの消去動作を説明するための模式図である。

【符号の説明】

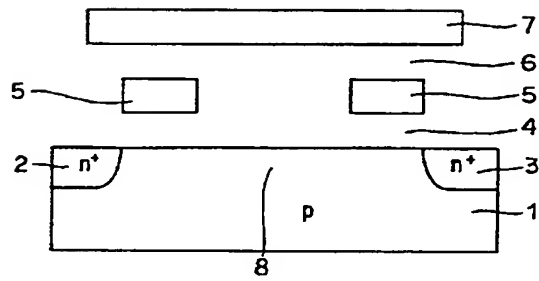
- 1：p型シリコン基板
- 2：ドレイン領域
- 3：ソース領域
- 5：コントロールゲート
- 7：フローティングゲート

* なお、各図中、同一符号は同一または相当部分を示す。

【図3】

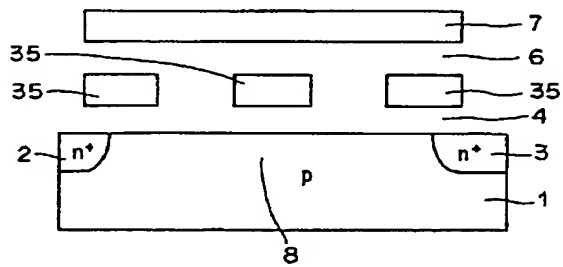


【図 1】

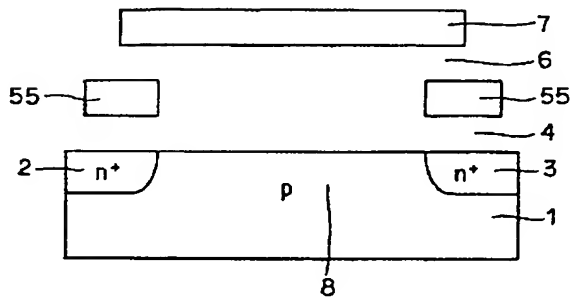


1: p型シリコン基板 2: ドレイン領域
3: ソース領域 5: コントロールゲート
7: フローティングゲート

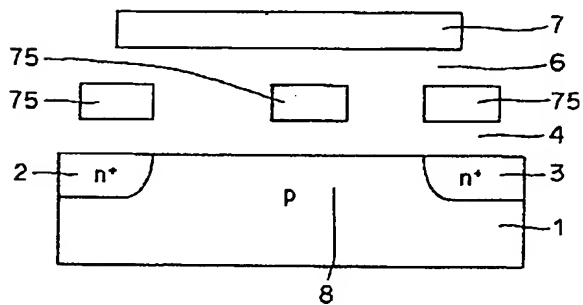
【図 5】



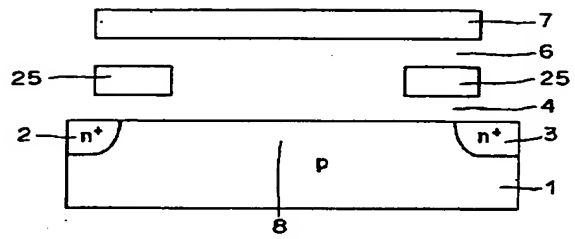
【図 7】



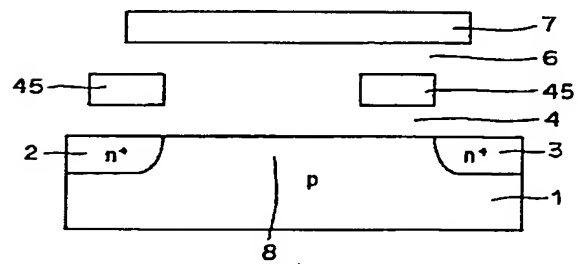
【図 9】



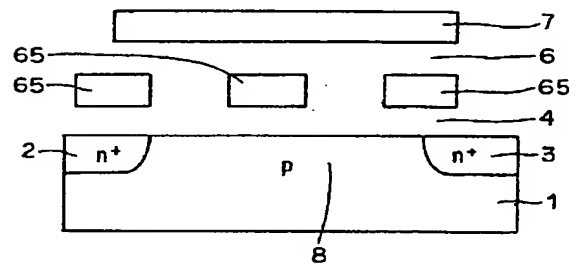
【図 4】



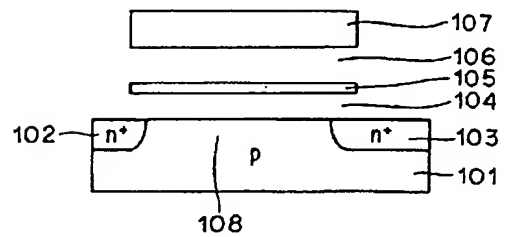
【図 6】



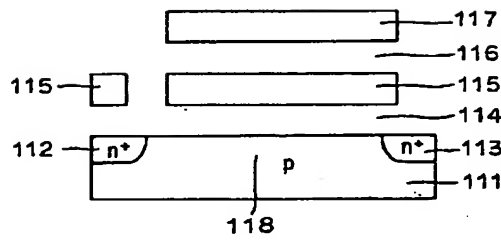
【図 8】



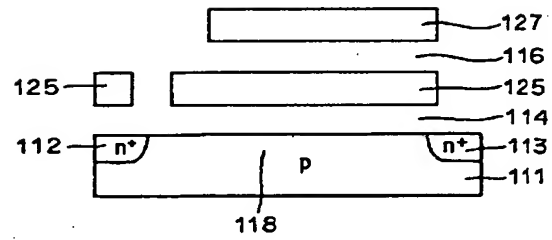
【図 10】



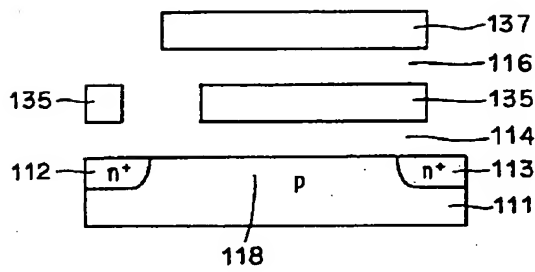
【図11】



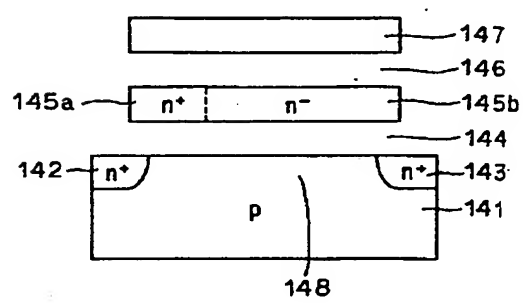
【図12】



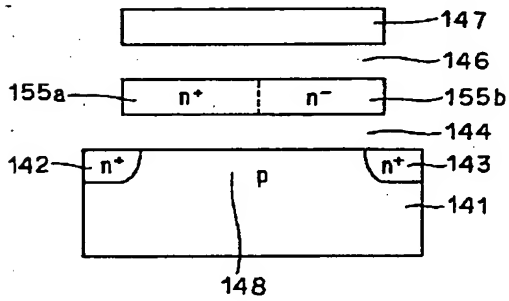
【図13】



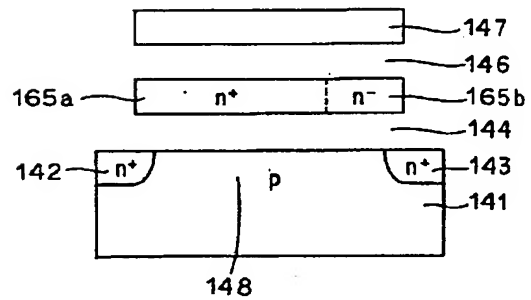
【図14】



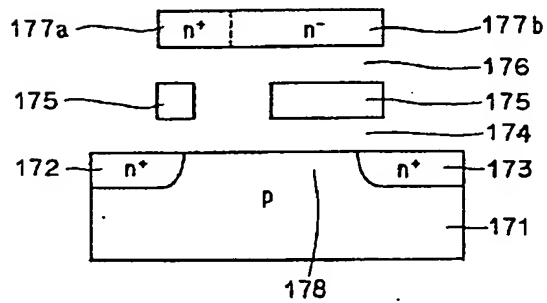
【図15】



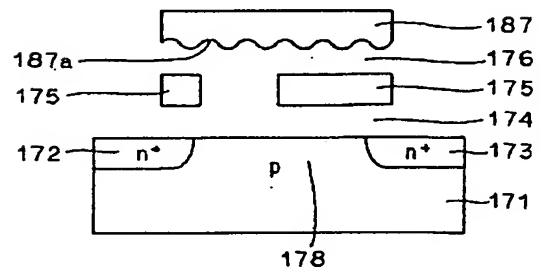
【図16】



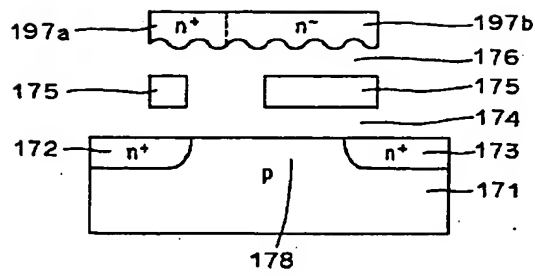
【図17】



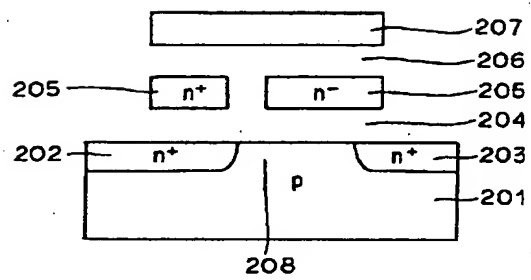
【図18】



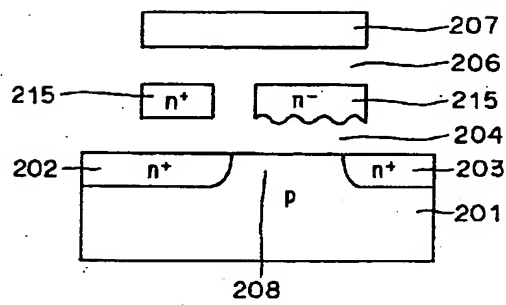
【図19】



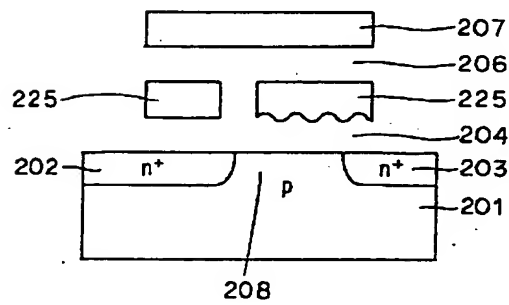
【図20】



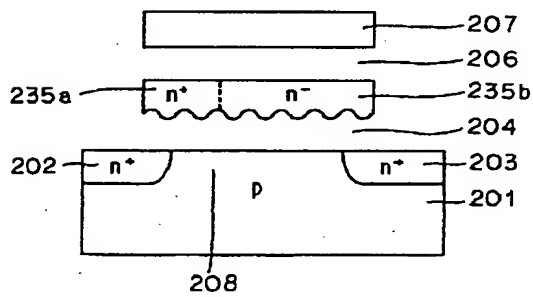
【図21】



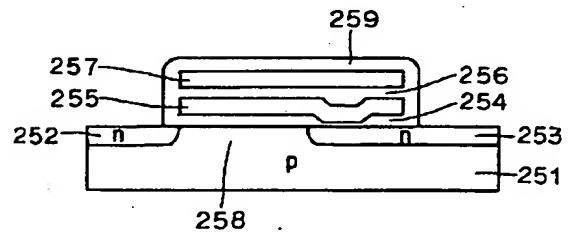
【図22】



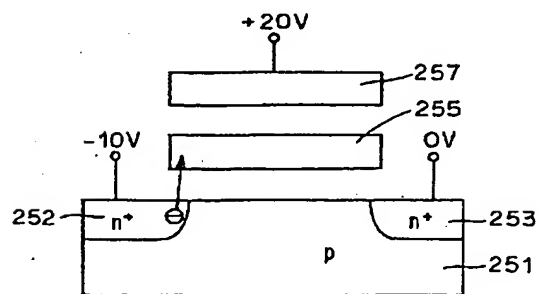
【図23】



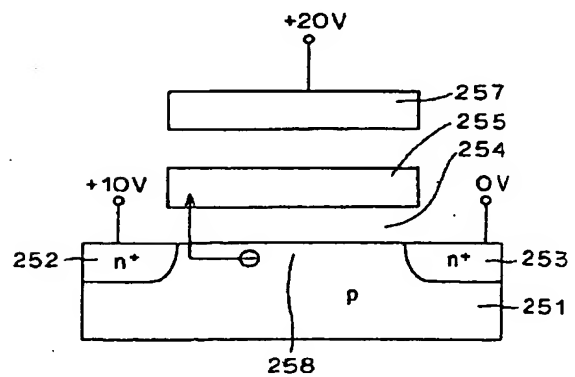
【図24】



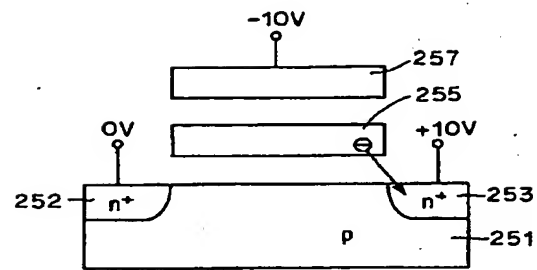
【図26】



【図25】



【図27】



フロントページの続き

(51)Int.Cl. 6

H 0 1 L 27/115

識別記号

庁内整理番号

F I

技術表示箇所